

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-090186

(43)Date of publication of application : 29.03.1994

(51)Int.Cl.

H04B 1/18

H01P 5/02

H03H 7/40

(21)Application number : 04-265389

(71)Applicant : CLARION CO LTD

(22)Date of filing : 08.09.1992

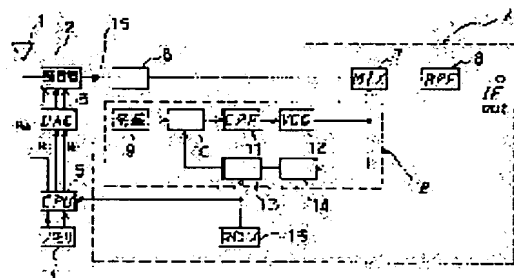
(72)Inventor : NISHIGORI AKIRA
AMASAWA KIYOSHI

(54) AUTOMATIC CONTROLLER FOR ANTENNA IMPEDANCE MATCH

(57)Abstract:

PURPOSE: To provide the automatic controller for antenna impedance match which does not require any detector or the like.

CONSTITUTION: The antenna impedance of a receiver and an antenna is detected, and matching data so as to minimize VSWR based on the impedance are provided at every receiving frequency and stored in a memory 4. Corresponding to frequency data from a microcomputer 15, a CPU 5 reads the matching data from the memory 4 and controls a matcher 2 based on these data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平6-90186

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/18	C	9298-5K		
H 0 1 P 5/02	B	8941-5 J		
H 0 3 H 7/40		9184-5 J		

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平4-265389

(22)出題日 平成4年(1992)9月8日

(71)出題人 000001487

クラリオン株式会社

東京都文京区白山5丁目35番2号

(72)發明者 錦 織 明

東京都文京区白山5丁目35番2号 クラリ
オン株式会社内

(72) 發明者 天 沢 清

東京都文京区白山5丁目35番2号 クラリ
オン株式会社内

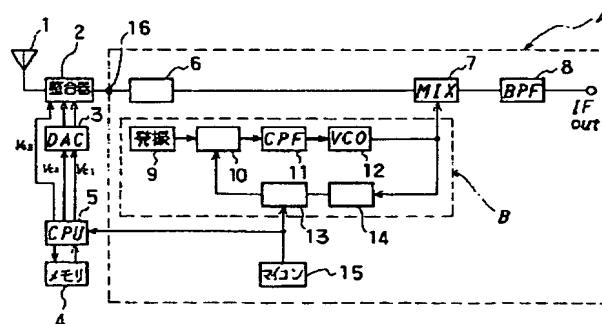
(74)代理人 弁理士 高橋 清

(54)【発明の名称】 アンテナインピーダンス整合の自動制御装置

(57) 【要約】

【目的】検出器などを必要としないアンテナインピーダンス整合の自動制御装置を提供する。

【構成】受信機とアンテナのアンテナインピーダンスを検出し、これに基づいてVSWRが最小となるマッチングデータを受信周波数毎に得てこれをメモリ4に記憶する。マイクロコンピュータ15からの周波数データに応じてCPU5は該メモリ4からマッチングデータを読み出し、このデータに基づいて整合器2を制御する。



【特許請求の範囲】

【請求項1】 受信機とアンテナのアンテナインピーダンスを受信周波数に応じて整合するアンテナインピーダンス整合の自動制御装置において、前記アンテナインピーダンスを検出し、該インピーダンス検出値に基づいてマッチングデータを受信周波数毎に得ると共に、該データを記憶するマッチングデータ記憶手段と、前記受信時に受信周波数に応答して対応する前記記憶されたマッチングデータを読み出し、該データに対応した整合制御信号で整合用素子により定数を調整制御し、前記整合を自動的に行う整合調整手段と、を有することを特徴とするアンテナインピーダンス整合の自動制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はアンテナとのインピーダンスの整合を受信周波数に応じて整合制御するアンテナインピーダンス整合の自動制御装置に関する。

【0002】

【従来の技術】 アンテナと受信機間の整合器として、使用周波数帯の切り換えに連動して自動的にプリセット値によりマッチングとれるようにある受信周波数帯においてVSWRがある程度小さくなる回路定数を設定しておき、その後VSWR計等の検出器を用いて調整を行う整合器が、実公昭63-16192号等により知られている。またプラズマ利用装置におけるインピーダンス整合回路として特開昭59-2210号に開示されたものが知られている。

【0003】

【発明が解決しようとする課題】 しかし、従来の前者の整合器の場合、VSWRが最小値となる制御を行い、周波数帯の中の各使用周波数毎に微小制御を行う必要がある問題がある。また、周波数毎にアンテナと受信機入力インピーダンスの変化を検出する検出器を必要とし、更にそれに応じてVSWRを制御する回路が必要となる。そのため、回路規模が大きくなると共に複雑化し、コスト高となる等の問題があった。また後者の回路の場合、本来プラズマ利用の分野のものである上、可変コンデンサを調整するためのモータ等を必要とし、装置が大型化し精度も悪い等の問題があった。本発明は上記した従来技術の問題点を解決し、検出器等を必要としないアンテナインピーダンス整合の自動制御装置を提供することを目的とする。

【0004】

【課題を解決するための手段】 上記目的を達成するために本発明は、受信機とアンテナのアンテナインピーダンスを受信周波数に応じて整合するアンテナインピーダンス整合の自動制御装置において、前記アンテナインピーダンスを検出し、該インピーダンス検出値に基づいてマ

2

ッチングデータを受信周波数毎に得ると共に、該データを記憶するマッチングデータ記憶手段と、前記受信時に受信周波数に応答して対応する前記記憶されたマッチングデータを読み出し、該データに対応した整合制御信号で整合用素子により定数を調整制御し、前記整合を自動的に行う整合調整手段とを有することを特徴とする。

【0005】

【作用】 アンテナインピーダンス検出値に基づいてマッチングデータを受信周波数毎に得る、該データをマッチングデータ記憶手段に記憶する。整合調整手段は、受信時に受信周波数に応答して対応する前記記憶されたマッチングデータを読み出し、該データに対応した整合制御信号で整合用素子により定数を調整制御し、前記整合を自動的に行う。

【0006】

【実施例】 以下本発明の実施例を図面に基づいて説明する。本発明の好適な実施例においては周波数毎のインピーダンスを予め求めておき、VSWRが最小となる整合器の回路定数データをメモリに入力し、周波数切り換えに応じてマイクロコンピュータよりPLL回路のプログラマブル分周器へ送られる周波数信号を用いて、逐次該データを読み出すことにより整合を行う。アンテナのインピーダンスは周波数により大きく変化するが、車載用等においては人体の接近や天候等の環境によるインピーダンス変化は比較的小さいので無視できる。また受信機入力インピーダンスは受信周波数より変化するが、同機種間のばらつきは小さい。従ってインピーダンスに対する大体のマッチングデータと受信周波数がわかれば、ロスの少ない状態で受信でき、また検出器なども不要である。以下具体的な構成を説明する。図1において、点線で囲った部分Aは受信機内部のブロック図であり、Bは受信機内部の局部発振PLL回路のブロック図である。受信機はRFアンプ6、MIX7、BPF8を備えており、またPLL回路は水晶発振器9、位相検波器10、LPF11、VCO12、プログラマブル分周器13及びプリスケータ14とマイクロコンピュータ15とを備えている。これらの構成は従来周知のものと同一であるから説明を省略する。

【0007】 マイクロコンピュータ15からプログラマブル分周器13に送られる信号は受信周波数に対応しており、この信号をCPU5に入力するようになっている。この実施例では、予め所定周波数毎のアンテナ1と受信入力端16のインピーダンスを測定しておき、VSWRが最小となる両者間のマッチングデータを算出し、このデータをCPU5に接続するメモリ4に入力してある。即ちマッチングデータはVSWRが最小になる最適データとなるように予め定められており、メモリ4に記憶されている。CPU5はマイクロコンピュータ15からの信号を入力すると、その受信周波数におけるマッチングデータをメモリ4から読み出して、このデータに基

3

づいて、整合器2を制御するように構成されている。3はD/Aコンバータである。

【0008】整合器2の構成を図2に示す。この整合器2においては直列に挿入したコイルと、直列及び並列に挿入したコンデンサの定数を変化させることにより整合をとるように構成されている。C1、C2、C3、C4、C6、C7は直流カット用のコンデンサであり、RFC1、RFC2、RFC3、RFC4は高周波カット用のコイルである。またL1、L2、L3は整合用コイルであり、ダイオードD1、D2、D3、に順バイアス電流を流してオンすることにより各定数の切り換えを行うようになっている。整合用コイルLの数は任意であり、整合の必要精度に応じて決めれば良い。

【0009】Cv1、Cv2は整合用のバリキャップダイオードであり、D/Aコンバータ3からの印加電圧Vc1、Vc2を変えて変化させるようになっている。なお、R1、R2、R3はバイアス抵抗である。

【0010】図3にマッチングデータ読み出し動作のフローチャートを示す。受信周波数を設定すると、マイクロコンピュータ15より受信周波数データがプログラマブル分周器13及びCPU5に出力され、これによりCPU5はまずVc1マッチングデータのアドレス指定を行う(ステップ30)。これによりVc1マッチングデータがD/Aコンバータ3へ出力される(ステップ31)。次いでCPU5はVc2マッチングデータのアドレス指定を行い(ステップ32)、これによりVc2マッチングデータがD/Aコンバータ3へ出力される(ステップ33)。同様にCPU5はVc3マッチングデータのアドレス指定を行い(ステップ34)、これによりVc3a b cマッチングデータがD/Aコンバータ3へ出力される(ステップ35)。

4

【0011】なお整合器2の構成は上記した実施例に限定されるものではなく、他の種々の構成を採用することが可能である。例えば図4に示すようにコイルLと可変コンデンサCを用いて、CPU5からの制御電圧により制御するようにしても良い。更に図5に示すように並列及び直列に接続したコイルLと可変コンデンサC'を追加してマッチング精度を向上させるようにしても良い。

【0012】以上説明した構成によれば、マッチングデータをメモリ4に入力するだけで整合を行うことが出来る、また周波数信号はPLL回路へ送られる信号を用いるため、周波数毎に細かく且つ精度の高い整合が可能になる。

【0013】

【発明の効果】以上説明したように本発明によれば、マッチングデータをマッチングデータ記憶手段に入力するだけで、精度の高い整合を行うことが出来る効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図。

【図2】本発明の一実施例における整合器2の一例を示すブロック図。

【図3】本発明の動作を説明するフローチャート図。

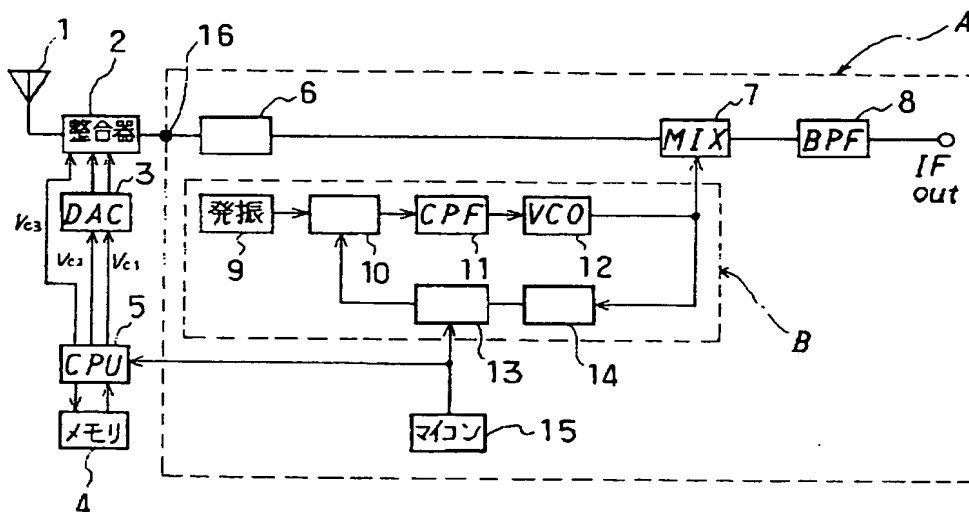
【図4】他の整合器2の実施例を示すブロック図。

【図5】更に他の整合器2の実施例を示すブロック図。

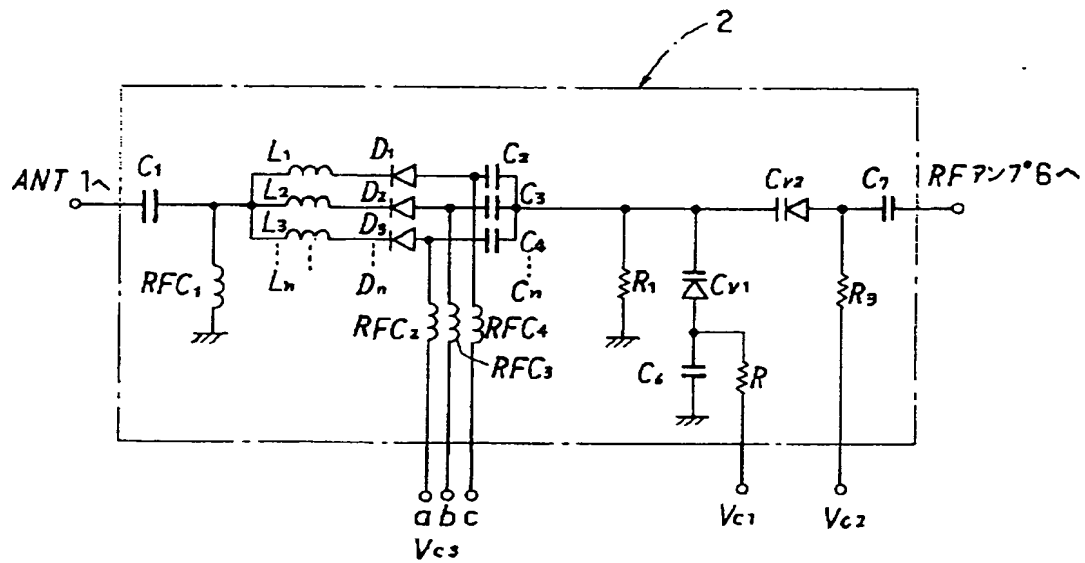
【符号の説明】

1：アンテナ、2：整合器、3：D/Aコンバータ、4：メモリ、5：CPU、6：RFアンプ、7：MIX、8：BPF、9：水晶発振器、10：位相検波器、11：LPF、12：VCO、13：プログラマブル分周器、14：プリスケータ、15：マイクロコンピュータ、16：受信入力端。

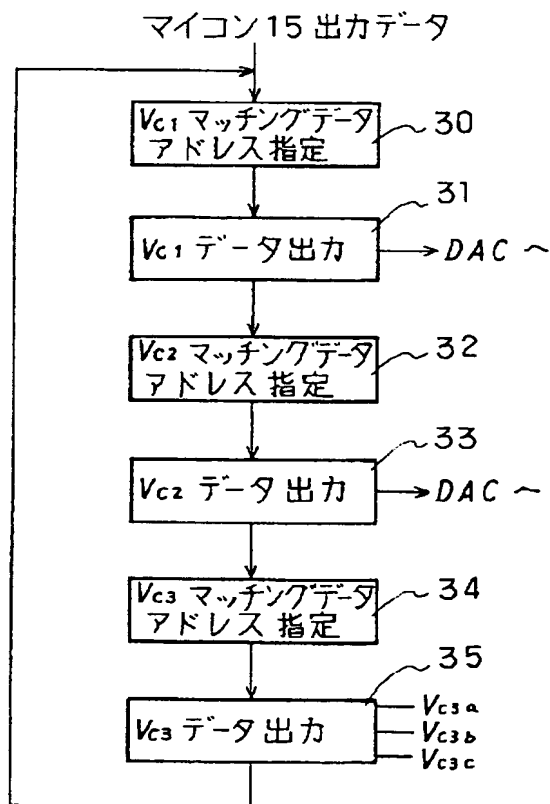
【図1】



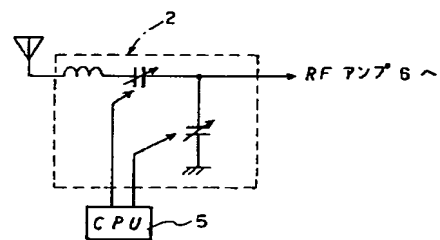
【図2】



【図3】



【図4】



【図5】

